

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup> H03H 7/24	(11) 공개번호 특1999-007415
	(43) 공개일자 1999년01월25일
(21) 출원번호 (22) 출원일자	특1998-024628 1998년06월27일
(30) 우선권주장 (71) 출원인	97-172055 1997년06월27일 일본(JP) 닛뎡덴끼 가부시끼가이샤 가네코 히사시
(72) 발명자	일본 도오교도 미나토꾸 시바 5초메 7방 1고 오노 가즈끼
(74) 대리인	일본 도오교도 미나토꾸 시바 5초메 7방 1고 닛뎡덴끼 가부시끼가이샤 나이 박해선, 조영원
<b>심사청구 : 있음</b>	
<b>(54) 복수의 기준전압을 발생하는 기준전압 발생회로</b>	

**요약**

기준전압 발생회로는 정전압을 수취(受取)하도록 접속된 제 1 입력 및 차동 증폭기로부터 출력된 제 1 기준전압에 비례하는 전압을 수취하도록 전압 피드백 통로를 통해 차동 증폭기의 출력에 접속된 제 2 입력을 갖는 차동 증폭기로 구성된다. 직렬 접속 저항으로 구성된 전압 분배기는 차동 증폭기의 출력에 접속되어 전압 피드백 통로에 독립적인 전류 통로를 형성하여, 전압 분배기는 제 1 기준전압과 다른 제 2 기준전압을 발생한다. 따라서, 단일의 기준전압 발생회로는 복수의 기준전압을 발생한다.

**도표**

**도5**

**명세서**

**도면의 간단한 설명**

- 도 1 은 종래의 기준전압 발생회로의 회로도이다.
- 도 2 는 종래의 기준전압 발생회로의 간략 회로도이다.
- 도 3 은 복수의 다른 기준전압을 발생하는 종래기술에 따라 제공된 복수의 기준전압 발생회로의 간략 회로도이다.
- 도 4 는 복수의 다른 기준전압을 발생하는 가상의 단일 기준전압 발생회로의 회로도이다.
- 도 5 는 복수의 다른 기준전압을 발생하는 본 발명에 따른 기준전압 발생회로의 제 1 실시예의 회로도이다.
- 도 6 은 복수의 다른 기준전압을 발생하는 본 발명에 따른 기준전압 발생회로의 제 2 실시예의 회로도이다.

**\* 도면의 주요부분에 대한 부호의 설명 \***

- 1 : 기준전압 발생기
- 2, 10 : 차동 증폭기
- 3 : 선택회로
- 20 : 차동 증폭기의 비반전 입력
- 40 : 커패시터
- 50 : 차동 증폭기의 출력

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 기준전압 발생회로에 관한 것이며, 더욱 상세히는 복수의 기준전압을 효율적으로 발생하는 기준전압 발생회로에 관한 것이다.

기준전압 발생기는 기준으로서 사용되는 전압을 안전하게 발생하며, 반도체 장치에 내장되며 기준전압을 필요로 하는 회로에 기준전압을 공급한다. 기준전압 발생기는, 전원전압 및 온도와 같은 동작조건에서 변화가 발생한 경우에도 항상 일정한 전압을 발생하도록 요구된다. 한편하면, 기준전압 발생기는 임의

의 전압을 발생할 수 없다.

기준전압 발생기가 정전압만을 발생할 수 있기 때문에, 발생된 정전압으로부터 소망의 전압을 발생하기 위해, 차동 증폭기 및 저항이 사용되는 것이 종래의 용례이며, 이것은 예를 들면, 일본 특개소 62-274909호에 개시되어 있다.

도 1 에, 일본 특개소 62-274909호에 개시된 회로도가 도시된다. 도시된 종래의 기준전압 발생회로에서, 기준전압 발생기(1)는, 전원전압 및 온도를 포함하는 동작조건에서 변동이 발생한 경우에도 일정한 기준전압( $V_{ref}$ )을 발생한다. 기준전압( $V_{ref}$ )은 선택 회로(3)의 직렬접속 저항( $R$  내지  $R_{64}$ )의 선택된 하나 또는 그 이상을 통해 차동 증폭기(2)의 반전 입력으로 피드백 되는 출력을 갖는 차동 증폭기(2)의 비반전 입력에 공급된다. 선택 회로(3)는, 직렬접속 저항( $R$  내지  $R_{64}$ )의 접속노드( $N$  내지  $N_{64}$ )의 선택된 하나를 차동 증폭기(2)의 반전 입력에 접속하기 위해, 직렬접속 저항( $R$  내지  $R_{64}$ )의 64개의 접속노드( $N$  내지  $N_{64}$ )와 차동 증폭기(2)의 반전 입력 사이에 도시된 바와 같이 접속된 다수의 선택 트랜지스터( $Q_{01}$  내지  $Q_{64}$ )를 포함한다. 이를 위해, 선택 회로(3)는 디코더 회로(DEC)와 인버터( $I_{V_1}$  및  $I_{V_2}$ )를 또한 포함하며, 디코더 회로(DEC)와 인버터( $I_{V_1}$  및  $I_{V_2}$ )는 제어신호(T1 내지 T6)를 수신하여 선택 트랜지스터( $Q_{01}$  내지  $Q_{64}$ )를 선택적으로 온한다. 따라서, 제어신호(T1 내지 T6)에 의해 차동 증폭기(2)의 출력전압( $V_{ref2}$ )의 전압분배비를 임의로 선택가능하며, 이 결과 출력전압( $V_{ref2}$ )을 임의로 설정할 수 있다.

도 2에, 기준전압 발생기(1)를 제외한 종래의 기준전압 발생회로의 일부의 간략 회로도가 도시된다. 도 2에 도시된 간략 회로(60)에서,  $V_0$ 는 도 1에서의  $V_{ref}$ 에 대응하고,  $V_{ref2}$ 는 도 1에서의  $V_{ref2}$ 에 대응한다. 차동 증폭기(10)는 도 1에서의 차동 증폭기(2)에 대응한다. 차동 증폭기(10)의 출력(50)과 접지 사이에 접속된 직렬접속 저항( $R$  및  $R_0$ )은 도 1에서의 직렬접속 저항( $R$  내지  $R_{64}$ )을 나타낸다. 직렬접속 저항( $R$  및  $R_0$ ) 사이의 접속노드는 차동 증폭기(10)의 반전 입력에 접속된다.

이제, 도 1에 도시된 간략 회로도를 참조하여 동작이 설명될 것이다. 기준전압( $V_0$ )은 차동 증폭기(10)의 비반전 입력(20)에 공급되며, 차동 증폭기(10)의 반전 입력은 저항( $R$  및  $R_0$ )으로 구성된 전압 분배기와 접속되어 차동 증폭기(10)의 출력전압( $V_{ref2}$ )을 분배하여 취득된 전압( $V$ )을 수취한다. 이때 하기의 관계가 유지된다.

$$V = \frac{R_0}{R + R_0} V_{ref2}$$

차동 증폭기(10)는 서로 동일한 두 입력을 제공하도록 동작되기 때문에, 하기의 관계가 궁극적으로 유지된다.

$$V_{ref2} = 2V$$

그러므로, 소망의 기준전압( $V_{ref}$ )은 하기와 같이 표현된다.

$$V_{ref} = \frac{R + R_0}{R_0} V$$

따라서, 소망전압은 저항( $R$  및  $R_0$ )의 값을 조절함에 의해 취득될 수 있다.

여기서, 정전용량  $C$ 를 갖는 커패시터(40)는 출력전압( $V_{ref}$ )을 안정화하기 위한 보상용량으로서 차동 증폭기(10)의 출력(50)과 접지 사이에 접속된다.

종래기술에서, 복수의 다른 기준전압이 필요한 경우, 도 3에 도시된 바와 같이 각각 도 2에 도시된 복수의 회로(61 내지 63)를 반도체 장치에 제공하여 서로 다른 회로(61 내지 63)내의  $R$ 과  $R_0$  사이의 저항비를 만드는 것이 필요하며, 이 결과 회로(61 내지 63)는 다른 전압을 발생한다. 그러므로, 복수의 다른 기준전압이 요구되는 경우, 요구된 기준전압의 수와 동일한 수의 기준전압 발생회로를 제공하는 것이 필요하다. 이 의미는, 저항을 제외하고는 동일한 복수의 회로의 제공이 필요하다는 것이며, 이 결과 비용과 밀접한 관계가 있는 칩크기가 커지게 된다.

전력 소비를 최소화하기 위해 저항치를 크게 하는 것이 필요하기 때문에, 차동 증폭기의 크기는 그렇게 크지 않으나 저항은 큰 면적을 필요로 한다. 예를 들면,  $R + R_0$ 의 저항치가 1000 k $\Omega$  인 경우, 이를 저항( $R$  및  $R_0$ )을 통해 흐르는 전류는 1  $\mu A$ 가 된다. 저 전류소비를 위해,  $R + R_0$ 의 저항치가 100 k $\Omega$  내지 10 M $\Omega$ 의 범위 내에 설정되는 것이 통상의 실용례이다. 예를 들면, 1000 k $\Omega$ 의 저항이 실리콘사이드로 형성된다면, 실리콘사이드의 시트 저항치가 약 10  $\Omega$ /? $\square$ 라 가정하면, 200 mm의 길이와 2 $\mu m$ 의 폭이 요구된다. 저항이 큰 면적을 필요로 한다는 것이 이해될 것이다.

여기서, 복수의 기준전압( $V_{ref1}$  및  $V_{ref2}$ )을 발생하기 위해, 도 2에 도시된 저항( $R$ )이 도 4에 도시된 바와 같이 복수의 저항( $R$  및  $R_0$ )으로 분리되면 충분하다고 가정될 수 있다. 그러나  $V_{ref2}$ 를 안정화하기 위해 부가된 보상용량( $C_0$ ) 때문에, 차동 증폭기로 피드백 되는 전압( $V$ )은  $R$ ,  $C_0$ 의 시정수에 의해 지연되어, 차동 증폭기의 제어 시 지연이 일어나며 극단의 경우 발진이 일어난다. 이 경우, 기준전압은 더 이상 사용될 수 없다. 그러므로, 종래에는 요구되는 다른 기준전압의 수와 동일한 수의 기준전압 발생

회로가 요구되었다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 종래의 결점을 극복한 기준전압 발생회로를 제공하는 것이다.

본 발명의 다른 목적은 단순한 회로구성을 가지고 복수의 다른 기준전압을 안정하게 발생시킬 수 있는 기준전압 발생회로를 제공하는 것이다.

본 발명의 상기 및 다른 목적은, 정전압을 수취하도록 접속된 제 1 입력과 차동 증폭기에 의해 발생된 제 1 기준전압에 비례하는 전압을 수취하도록 차동 증폭기의 출력에 전압 피드백수단을 통해 접속된 제 2 입력을 갖는 차동 증폭기를 포함한 제 1 기준전압 발생수단과, 차동 증폭기의 출력에 접속되며 전압 피드백수단에 독립적인 전류통로를 가지며 제 1 기준전압과 다른 하나 이상의 제 2 기준전압을 발생하는 제 2 기준전압 발생수단으로 구성된 기준전압 발생회로에 대한 본 발명에 따라 달성된다.

본 발명의 상기 및 다른 목적, 특징 및 효과는 첨부 도면을 참조하여 본 발명의 바람직한 실시예의 하기의 설명으로부터 명백해질 것이다.

#### 발명의 구성 및 작용

도 5에, 복수의 다른 기준전압을 발생하는 본 발명에 따른 기준전압 발생회로의 제 1 실시예의 회로도 가 도시된다. 도 5에서, 도 1 내지 도 4에 도시된 것과 유사한 요소는 동일한 참조번호가 주어진다. 도시된 실시예는 3개의 다른 기준전압을 발생하도록 구성된다.

도시된 실시예는, 도 1에서의 기준전압 발생기(1)에서 발생된 기준전압( $V_{ref}$ )에 대응하며, 전원전압 및 온도를 포함한 동작조건에서의 변화가 발생하는 경우에도 일정한 정전압( $V_0$ )을 수취하도록 접속된 비반전 입력(20)을 갖는 차동 증폭기(10)를 포함한다. 차동 증폭기(10)의 출력은 직렬접속 저항( $R_1$  및  $R_2$ )을 통해 접지되며, 직렬접속 저항( $R_1$  및  $R_2$ ) 사이의 접속노드는 차동 증폭기(10)의 반전입력에 접속되어, 분배된 전압( $V_1$ )이 차동 증폭기(10)의 반전입력에 피드백 된다. 따라서, 차동 증폭기(10)는 제 1 기준전압( $V_{ref}$ )을 출력한다. 차동 증폭기(10)의 출력은 또한 직렬접속 저항( $R_3$ ,  $R_4$  및  $R_5$ )을 통해 접지된다.

이러한 배치에서, 직렬접속 저항( $R_1$  및  $R_2$ )은 제 1 기준전압( $V_{ref}$ )을 발생한다. 제 1 기준전압( $V_{ref}$ )으로부터, 직렬접속 저항( $R_3$ ,  $R_4$  및  $R_5$ )은 저항( $R_3$  및  $R_4$ ) 사이의 접속노드와 저항( $R_4$  및  $R_5$ ) 사이의 접속노드에 각각 제 2 기준전압( $V_{ref2}$ ) 및 제 3 기준전압( $V_{ref3}$ )을 발생한다. 즉, 직렬접속 저항( $R_3$ ,  $R_4$  및  $R_5$ )은 전압분배기를 구성한다.

출력 기준전압을 안정화하기 위해, 커패시터( $C_1$ ,  $C_2$  및  $C_3$ )는 차동 증폭기(10)의 출력, 저항( $R_3$  및  $R_4$ ) 사이의 접속노드 및 저항( $R_4$  및  $R_5$ ) 사이의 접속노드에 각각 접속된다.

도 5와 도 2 및 도 3과의 비교로부터 알 수 있는 바와 같이, 도시된 실시예는, 소망 기준전압이 직렬접속 저항( $R_3$ ,  $R_4$  및  $R_5$ )으로 구성된 전압 분배기의 작용에 의해 차동 증폭기(10)에 의해 발생된 제 1 기준전압( $V_{ref}$ )으로부터 취득되는 것을 특징으로 한다. 그러므로, 차동 증폭기(10)와 저항( $R_1$  및  $R_2$ )으로 구성된 제 1 기준전압 발생부에 추가하여, 직렬접속 저항( $R_3$ ,  $R_4$  및  $R_5$ )으로 구성된 전압 분배기는 제 2 기준전압 발생부를 구성한다. 이 제 2 기준전압 발생부는 수동회로만으로 구성되며 구성에 있어서 매우 단순하다.

$V_{ref}$ ,  $V_{ref2}$  및  $V_{ref3}$ 은 하기와 같이 표현된 관계를 가진다.

$$V_{ref2} = \left( \frac{R_4}{R_3 + R_4} \right) V_{ref}$$

그러므로, 소망 기준전압은 이 관계를 만족하도록 재배열되고,  $R_3$  및  $R_4$ 의 저항치는  $V_{ref}$ 이 소망 기준전압의 최대 전압을 달성하도록 조절되거나 설정된다.

증래기술과 관련하여 설명된 바와 같이,  $V_{ref}$ 은 하기와 같이 표현된다.

$$V_{ref} = \frac{V_{DD} - V_{BE}}{1 + \frac{R_1}{R_2}}$$

또한,  $V_{ref2}$  및  $V_{ref3}$ 은 하기와 같이 표현된다.

$$V_{ref2} = \left( \frac{R_4}{R_3 + R_4} \right) V_{ref}$$

$$V_{ref3} = \left( \frac{R_5}{R_4 + R_5} \right) V_{ref2}$$

그러므로,  $R_3$ ,  $R_4$  및  $R_5$ 의 저항치는,  $V_{ref2}$  및  $V_{ref3}$

$V_{REF1}$ 이 소망 기준전압의 나머지 저항을 달성하도록 조절되거나 설정된다. 한편하면,  $V_{REF1}$ ,  $V_{REF2}$  및  $V_{REF3}$ 은  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  및  $R_5$ 의 저항치를 설정함에 의해 임의의 값으로 자유롭게 설정될 수 있다.

도시된 실시예에서, 차동 증폭기의 피드백 루프에, 즉 차동 증폭기(10)의 출력( $V_{REF1}$ )으로부터 저항(R)을 통해 차동 증폭기(10)의 반전입력(V-)까지의 통로에  $V_{REF1}$ 에 접속된 커패시터(C)만이 존재하기 때문에, 그리고 커패시터(C)가 피드백 루프에서 저항의 상류에 위치되기 때문에, 차동 증폭기의 피드백 제어에 지연이 발생되지 않는다. 또한,  $V_{REF2}$ 에 접속된 커패시터( $C_2$ ) 및  $V_{REF3}$ 에 접속된 커패시터(C

$C_3$ )가 피드백 루프에 위치되지 않기 때문에, 차동 증폭기의 피드백 제어는  $V_{REF2}$ 에 접속된 커패시터( $C_2$ ) 및  $V_{REF3}$ 에 접속된 커패시터( $C_3$ )에 의해 결코 영향을 받지 않는다.

도 6에, 복수의 다른 기준전압을 발생하는 본 발명에 따른 기준전압 발생회로의 제 2 실시예의 회로도 가 도시된다. 도 6에서, 도 5에 도시된 것과 대응하는 요소는 동일한 부재번호가 할당되며 그 설명은 설명의 단순화를 위해 생략될 것이다.

복수의 다른 기준전압을 공급만을 필요로 한 경우 제 1 실시예로 충분하다. 그러나, 반도체 장치에서 초기불량을 제거하기 위한 스크리닝을 실행하기 위해, 통상 고전압을 인가하는 가속테스트가 실행된다.

반도체 장치에서, 예를 들면  $V_{REF1}$ 이 주변회로용 전원의 기준전압으로서 사용되고  $V_{REF2}$ 가 메모리셀용 전원의 기준전압으로서 사용되는 경우, 메모리셀 커패시터의 절연 산화막이 주변회로의 트랜지스터의 게이트 산화막보다 통상 더 얇기 때문에, 주변회로와 메모리셀부 사이의 가속계수는 다르다. 그러므로,  $V_{REF1}$ 과  $V_{REF2}$ 와의 비는 통상의 동작과 가속테스트에서 다르게 되어 한다. 그러나,  $V_{REF2}$ 가 상기 수학적(6)에 의해 결정되는 것이 명백하므로, 제 1 실시예는 이 요건을 만족할 수 없어,  $V_{REF2}$ 는  $V_{REF1}$ 에 대해 항상 일정한 비율을 가진다.

그러므로, 제 2 실시예는 저항( $R_2$ )의  $V_{REF2}$ 측 단자와 저항( $R_4$ )의  $V_{REF2}$ 측 단자 사이에 삽입되어 스위치로서 동작하는 P 채널 트랜지스터(P<sub>2</sub>)를 포함한다. 이 P 채널 트랜지스터(P<sub>2</sub>)의 게이트는 가속테스트에서 하이레벨로 되는 테스트신호(TEST)를 수신하도록 접속된다. 그러므로, 가속테스트에서,  $V_{REF1}$ 은 테스트신호(TEST)의 하이레벨에 의해 OFF 조건에 있는 P 채널 트랜지스터(P<sub>2</sub>)에 의해  $V_{REF2}$ 로부터 전기적으로 고립된다. 더욱, 제 2 실시예는, 저항( $R_4$ )의  $V_{REF2}$ 측 단자에 접속된 출력전압 단자(8A)를 가지며  $V_{REF2}$ 대신에 테스트전압을 공급하기 위해 신호(TEST)의 하이레벨에 의해 활성화되는 테스트전원전압 발생회로(8)를 포함한다. 따라서,  $V_{REF1}$ 과  $V_{REF2}$ 와의 비는 통상의 동작에서와 다른 값을 가질 수 있다.

본 실시예에서,  $V_{REF3}$ 은 하기 식으로 표현되는 값을 취한다.

$$V_{REF3} = \frac{R_5}{R_4 + R_5} V_{REF2}$$

이와 관련하여, 도시되지 않으나, 가속테스트에서  $V_0$ 대신에  $V_0$ 와 다른 전압을 공급하는 것이 가능하며  $V_{REF1}$ 은 통상의 동작에서와 다르게 된다. 또한 제 2 실시예에서의  $V_{REF2}$ 와 연관된 회로에 유사한 회로를 부가함에 의해  $V_{REF2}$ 에 독립적인  $V_{REF3}$ 을 발생하는 것이 가능하다.

테스트신호(TEST)가 로우레벨인 경우, P 채널 트랜지스터(P<sub>2</sub>)는 ON상태에 있고, 테스트전원전압 발생회로(8)는 비활성화되어 출력전압 단자(8A)는 높은 임피던스상태에 있게된다. 그러므로, 이러한 상태에서, 제 2 실시예는 제 1 실시예와 완전히 유사하게 동작한다.

상기로부터 알 수 있는 바와 같이, 본 발명에 따른 기준전압 발생회로는 정전압을 수취하도록 접속된 제 1 입력과 차동 증폭기에 의해 발생된 제 1 기준전압에 비례하는 전압을 수취하도록 차동 증폭기의 출력에 전압 피드백 수단을 통해 접속된 제 2 입력을 갖는 차동 증폭기를 포함한 제 1 기준전압 발생수단과, 차동 증폭기의 출력에 접속되며 전압 피드백 수단에 독립적인 전류통로를 가진, 제 1 기준전압과 다른 하나 이상의 제 2 기준전압을 발생하는 제 2 기준전압 발생수단으로 구성되는 것을 특징으로 한다.

그러므로, 복수의 다른 기준전압은 종래의 기준전압 발생회로에 제 2 기준전압 발생수단을 부가함에 의해 수득된 단순한 구조를 갖는 단일의 기준전압 발생회로에서 효율적으로 발생될 수 있다. 이것은, 대응하는 수의 다른 기준전압을 발생하기 위해, 복수의 기준전압 발생회로를 필요로 하는 종래기술에 비해 매우 효과적이다.

본 발명은 특정의 실시예를 참조하여 개시되고 기술되었다. 그러나, 본 발명은 개시된 구조에 대한 세부사항에 한정되는 것이 아니라, 첨부된 청구범위의 영역 내에서 변화와 수정이 가해질 수 있음을 유의해야 한다.

#### 발명의 효과

복수의 다른 기준전압은 종래의 기준전압 발생회로에 기준전압 발생수단을 부가함에 의해 수득된 단순한 구조를 갖는 단일의 기준전압 발생회로에서 효율적으로 발생될 수 있다. 이것은, 대응하는 수의 다른 기준전압을 발생하기 위해, 복수의 기준전압 발생회로를 필요로 하는 종래기술에 비해 매우 효과적이다.

### (57) 청구의 범위

청구항 1. 정전압을 수취하도록 접속된 제 1 입력과, 차동 증폭기에 의해 발생된 제 1 기준전압에 비례하는 전압을 수취하기 위해 상기 차동 증폭기의 출력에 전압 피드백 수단을 통해 접속된 제 2 입력을 갖는 차동 증폭기를 포함한 제 1 기준전압 발생수단과,

상기 차동 증폭기의 출력에 접속되며 상기 전압 피드백 수단에 독립적인 전류물로를 가지고, 상기 제 1 기준전압과 다른 하나 이상의 제 2 기준전압을 발생하는 제 2 기준전압 발생수단을 구성되는 것을 특징으로 하는 기준전압 발생회로.

청구항 2. 제 1 항에 있어서, 상기 제 2 기준전압 발생수단은 수동회로로 구성되는 것을 특징으로 하는 기준전압 발생회로.

청구항 3. 제 1 항에 있어서, 상기 전압 피드백 수단은 상기 차동 증폭기의 상기 출력과 고정전압 사이에 접속된 제 1 직렬접속 저항으로 구성되며, 상기 제 1 직렬접속 저항 사이의 접속노드는 상기 차동 증폭기의 상기 제 2 입력에 접속되며,

상기 제 2 기준전압 발생수단은 상기 차동 증폭기의 상기 출력과 상기 고정전압 사이에 접속된 제 2 직렬접속 저항으로 구성되며, 상기 하나 이상의 제 2 기준전압은 상기 제 2 직렬접속 저항 사이의 접속노드로부터 발생하는 것을 특징으로 하는 기준전압 발생회로.

청구항 4. 제 3 항에 있어서, 제 1 안정화 커패시터는 상기 차동 증폭기의 상기 출력과 상기 고정전압 사이에 접속되며, 제 2 안정화 커패시터는 상기 제 2 직렬접속 저항 사이의 상기 접속노드와 상기 고정전압 사이에 접속되는 것을 특징으로 하는 기준전압 발생회로.

청구항 5. 정전압 입력단자에 접속된 제 1 입력과 제 1 기준전압 출력단자에 접속된 출력을 갖는 차동 증폭기와, 상기 차동 증폭기의 상기 출력에 접속된 일단과 상기 차동 증폭기의 제 2 입력에 접속된 타단을 갖는 제 1 저항과, 상기 제 1 저항의 타단에 접속된 일단과 전원단자에 접속된 타단을 갖는 제 2 저항과, 상기 제 1 기준전압 출력단자에 접속된 일단과 제 2 기준전압 출력단자에 접속된 타단을 갖는 제 3 저항과, 상기 제 2 기준전압 출력단자에 접속된 일단과 제 2 기준전압 출력단자에 접속된 타단을 갖는 제 4 저항과, 상기 제 3 기준전압 출력단자에 접속된 일단과 상기 전원단자에 접속된 타단을 갖는 제 5 저항을 포함하는 것을 특징으로 하는 기준전압 발생회로.

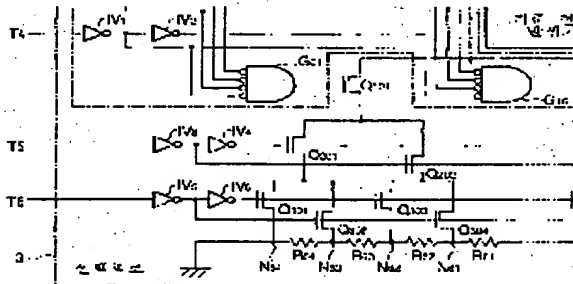
청구항 6. 제 5 항에 있어서, 상기 제 1 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 1 안정화 커패시터와, 상기 제 2 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 2 안정화 커패시터와, 상기 제 3 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 3 안정화 커패시터를 더 포함하는 것을 특징으로 하는 기준전압 발생회로.

청구항 7. 제 5 항에 있어서, 상기 제 2 기준전압 출력단자와 상기 제 3 저항의 타단 사이에 접속되며, 테스트신호에 응답하여 ON 상태로 되는 스위치 수단과, 상기 제 2 기준전압 출력단자에 접속된 전압 출력을 가지며 상기 테스트신호에 응답하여 활성화되며 상기 제 2 기준전압 출력단자에 테스트전압을 공급하는 테스트전압 공급수단을 더 포함하는 것을 특징으로 하는 기준전압 발생회로.

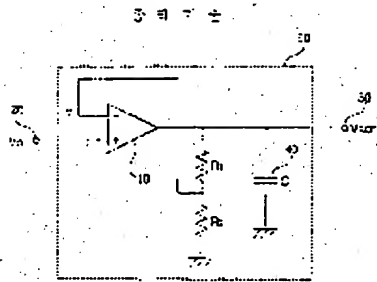
청구항 8. 제 7 항에 있어서, 상기 제 1 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 1 안정화 커패시터와, 상기 제 2 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 2 안정화 커패시터와, 상기 제 3 기준전압 출력단자와 상기 전원단자 사이에 접속된 제 3 안정화 커패시터를 더 포함하는 것을 특징으로 하는 기준전압 발생회로.

도면

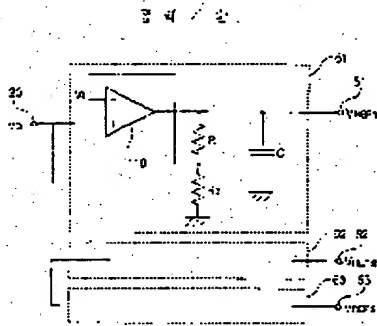
도면 1



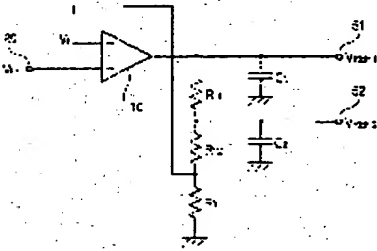
도면2



도면3



도면4



도면5

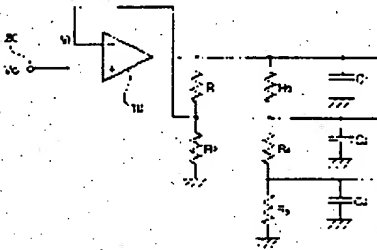


图 8-7

